

0280

1

Docket No.: P-146

PATENT

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#3

In re Application of :  
Sang Cheol KIM :  
Serial No.: 09/666,284 :  
Filed: September 21, 2000 :  
For: LAN INTERFACING APPARATUS :

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 41063/1999, filed September 22, 1999.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186  
Anthony H. Nourse  
Registration No. 46,121

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440  
**Date: October 2, 2000**

DYK/AHN:dcp



한 민 국 특 허 정  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출 원 번 호 : 특허출원 1999년 제 41063 호  
Application Number

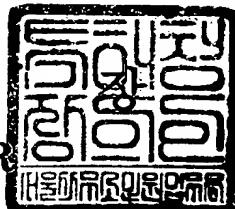
출 원 년 월 일 : 1999년 09월 22일  
Date of Application

출 원 인 : 엘지정보통신주식회사  
Applicant(s)

2000 년 08 월 17 일



특 허 정  
COMMISSIONER



1019990041063

2000/8/1

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	1999.09.22
【발명의 명칭】	인터넷 정합 장치에서 재전송 제어 회로
【발명의 영문명칭】	Circuit of Controlling Retransmission in the Internet Interfacing Apparatus
【출원인】	
【명칭】	엘지정보통신 주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	1999-010680-1
【발명자】	
【성명의 국문표기】	김상철
【성명의 영문표기】	KIM, Sang Cheol
【주민등록번호】	720220-1140613
【우편번호】	402-080
【주소】	인천광역시 남구 관교동 13-7 쌍용아파트 3동 807호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 철 (인) <span style="float: right;">김영</span>
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	39,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

### 【요약서】

#### 【요약】

본 발명은 이더넷(Ethernet)을 사용한 인터넷(Internet) 정합 장치에 관한 것으로, 특히 LAN(Local Area Network) 인터페이스(Interface)에서 망 트래픽(Traffic)이 많은 경우에 전송을 지연시키고 데이터(Data)의 재전송을 하드웨어(Hardware)적으로 구현하도록 한 인터넷 정합 장치에서 재전송 제어 회로에 관한 것이다.

본 발명은 이더넷을 사용한 인터넷 정합에 관한 동작을 제어하는 이더넷 제어기와, 송수신되는 데이터를 부호화 또는 복호화하는 코덱과, 데이터를 송수신하는 송수신기를 구비하는 인터넷 정합 장치에 있어서, LAN 충돌 및 데이터의 재전송을 제어하는 CPU와; 상기 CPU의 제어에 따라 다수의 LAN 충돌이 발생하는 경우에 상기 이더넷 제어기와 코덱 사이에서 데이터 전송을 일정 시간 동안 지연시키고 백오프 알고리즘에 따른 소정의 횟수 동안 전송이 실패하는 경우에 프레임을 재전송시키는 충돌 제어 회로부를 포함하여 이루어진 것을 특징으로 한다.

#### 【대표도】

도 2

### 【명세서】

#### 【발명의 명칭】

인터넷 정합 장치에서 재전송 제어 회로 {Circuit of Controlling Retransmission in the Internet Interfacing Apparatus}

#### 【도면의 간단한 설명】

도 1은 종래의 인터넷(Internet) 정합 장치를 나타낸 구성 블록도.

도 2는 본 발명의 실시예에 따른 인터넷 정합 장치에서 재전송 제어 회로를 나타낸 구성 블록도.

도 3은 도 2에 있어 충돌 제어 회로부(Collision Control Logic)의 구성을 나타낸 블록도.

도 4는 도 3에 있어 충돌 제어부(Collision Controller)의 구성을 나타낸 회로도.

도 5는 도 3에 있어 버퍼 제어 회로부(Buffer Control Logic)의 구성을 나타낸 회로도.

도 6은 도 3에 있어 수신 제어부(Receive Controller), 제1스위치(Switch) 및 제2스위치의 구성을 나타낸 회로도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

20 : 이더넷 제어기(Ethernet Controller)

30 : CPU(Central Processing Unit)

40 : 충돌 제어 회로부                  41 : 제1스위치

41-1 : 스위치                  42 : 제2스위치

43 : 직렬/병렬 변환기(Serial to Parallel Convertor)

44 : 버퍼(Buffer)

45 : 병렬/직렬 변환기(Parallel to Serial Convertor)

46 : 버퍼 제어 회로부                  46-1 : 타이머(Timer)

46-2 : 딜레이(Delay) 회로부                  47 : 충돌 제어부

47-1 : 카운터(Counter)                  48 : 수신 제어부

50 : 코덱(Codec)                  60 : 송수신기(Transceiver)

AND1 ~ AND3 : 앤드게이트                  NOT1 ~ NOT3 : 낫게이트

NOR : 노아게이트                  OR1 ~ OR5 : 오아게이트

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 이더넷(Ethernet)을 사용한 인터넷 정합 장치에 관한 것으로, 특히 LAN(Local Area Network) 인터페이스(Interface)에서 망 트래픽(Traffic)이 많은 경우에 전송을 지연시키고 데이터(Data)의 재전송을 하드웨어(Hardware)적으로 구현하도록 한 인터넷 정합 장치에서 재전송 제어 회로에 관한 것이다.

- <22> 일반적으로, 이더넷을 사용한 인터넷 정합 장치에 있어서, LAN 충돌(Collision)이 발생하는 경우에 송수신기에서 해당 LAN 충돌을 검출(Detect)하는데, 해당 송수신기를 통해 송신 데이터(Transmit Data)와 수신 데이터(Receive Data)가 동시에 감지되었을 때에 충돌을 검출하고 이에 따라 16 번까지 데이터의 재전송이 이루어졌다.
- <23> 그러면, 종래 이더넷을 사용한 인터넷 정합 장치의 구성을 살펴보면, 도 1에 도시된 바와 같이, '68EN360'과 같은 이더넷 제어기(11)와, 맨체스터(Manchester) 코더(Coder)/디코더(Decoder)인 'AM7992'와 같은 코덱(12)과, 'AM7998'과 같은 송수신기(13)와, 10베이스티(10Base-T) 접속을 위한 RJ45 커넥터(Connector)와 같은 8 핀(Pin)의 잭(Jack; 14)으로 이루어져 있다.
- <24> 여기서, 해당 이더넷 제어기(11)는 이더넷을 사용한 인터넷 정합에 관한 동작을 제어하는 역할을 수행하며, 해당 코덱(12)은 송수신되는 데이터를 부호화 또는 복호화하는 역할을 수행하며, 해당 송수신기(13)는 데이터를 해당 잭(14)을 통해 송수신하고 LAN 충돌을 검출하는 역할을 수행한다.
- <25> 상술한 바와 같이 구성된 인터넷 정합 장치에서는 인터넷에 접속하기 위해서 이더넷을 사용한 LAN을 이용했었다.
- <26> 여기서, 해당 이더넷 프로토콜(Protocol)은 CSMA/CD(Carrier Sense Multiple Access with Collision Detection)라고 해서 보통 반이중(Half Duplex) 방식으로 동작하며, LAN에서 어떤 다른 노드(Node)가 억세스(Access)하게 되면 해당 LAN을 억세스하지 못하고 있다가 아무도 억세스하지 않는 경우, 예로 9.6( $\mu$ s) 동안 아이들(Idle)인 경우에

만 억세스해서 데이터를 전송할 수 있다.

- <27> 그러므로, 여러 노드들이 억세스할 수 있는 LAN에서는 항상 충돌이 자주 발생할 수 있으며, 이에 따라 LAN 충돌이 발생했을 경우에는 백오프 알고리즘(Back-off Algorithm)에 따라 52( $\mu$ s)의 정수배를 기다린 후에 다시 전송하게 되며, 그래도 계속해서 충돌이 발생하게 되면 16 번까지 재전송을 수행하게 된다.
- <28> 그리고, 16 번 이후에도 동일한 프레임(Frame)에서 충돌이 발생하게 되면, 전송을 중단하게 되고 소프트웨어(Software)에서 다시 전송할 수 있도록 하기 위해서 프로그래밍(Programming)을 해 준다.

- <29> 그런데, 종래의 이더넷 포트(Port)는 상술한 바와 같이 이더넷 제어기, 코덱, 송수신기 및 잭으로 이루어져 있는데, 이더넷의 경우에 LAN이 폭주할 때에는 충돌이 자주 발생하고 16 번의 충돌이 발생된 이후 데이터의 전송에 실패하는 경우가 종종 발생하며, 이에 따른 소프트웨어로 재전송을 수행할 시에 태스크(Task)와 딜레이(Delay) 등으로 인해 사용하고 있는 OS(Operating System) 상에서 추가의 시간이 약 10(ms) 이상 소요되어 속도에 영향을 미쳐 시스템의 성능을 저하시키는 문제점이 있었다.

### 【발명이 이루고자 하는 기술적 과제】

- <30> 전술한 바와 같은 문제점을 해결하기 위한 것으로, 본 발명은 LAN 프로토콜로 이더넷을 사용하는 인터넷 정합 장치에 있어서 15번 이상의 LAN 충돌이나 그 이상의 LAN 충돌 등으로 인한 재전송을 제어하는데, LAN 인터페이스에서 망 트래픽이 많은 경우에 전송을 지연시키고 데이터의 재전송을 하드웨어적으로 구현함으로써 LAN 충돌의 발생률을

감소시키고 재전송의 속도를 향상시켜 시스템의 성능을 향상하도록 하는데, 그 목적이 있다.

### 【발명의 구성 및 작용】

<31> 본 발명은 인터넷 정합 장치의 이더넷을 사용한 LAN 접속에 있어서 다수의 충돌 발생 시에 이더넷 제어기에 데이터 전송을 제어하는 회로를 추가해 15 번의 충돌로 인한 추가 재전송을 임의로 지연시켜 전송하도록 해 주며, LAN의 트래픽이 많은 경우에 제어 회로를 이용하여 충돌 발생 확률을 감소시켜 주며, 16 번의 재전송이 실패할 경우에 다시 재전송하는 것을 하드웨어적인 회로를 추가하여 전송시켜 소프트웨어적인 방법에 비해 속도를 향상시켜 준다. 여기서, 설명의 편의상으로 해당 15 번의 충돌을 언급하였으나, 해당 15 번의 횟수에 한정된 것이 아니라 시스템의 운용에 따라 다른 횟수로 미리 설정할 수 있음을 잘 알고 있어야 한다. 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 상세하게 설명하면 다음과 같다.

<32> 본 발명의 실시예에 따른 인터넷 정합 장치에서 재전송 제어 회로는 외부 LAN을 통해 인터넷에 인터페이스하는 LAN 보드에 별도의 논리 회로를 구성하는데, 도 2에 도시한 바와 같이, '68EN360', 'MPC860EN', 다른 이더넷 제어기와 같은 이더넷 제어기(20)와, 해당 이더넷 제어기(20)가 지원되는 CPU(30)와, 충돌 제어 회로부(40)와, 코덱(50)과, 송수신기(60)를 포함하여 이루어진다.

<33> 여기서, 상기 이더넷 제어기(20)와, 코덱(50)과, 송수신기(60)는 종래의 구성과 동

일하므로 그 설명을 생략한다.

- <34> 상기 CPU(30)는 상기 충돌 제어 회로부(40)의 동작 수행을 제어하는데, 즉 LAN 충돌 제어 및 데이터의 재전송을 제어하는 역할을 수행한다.
- <35> 상기 충돌 제어 회로부(40)는 상기 CPU(30)의 제어에 따라 다수의 LAN 충돌이 발생할 경우에 버퍼를 이용하여 상기 이더넷 제어기(20)의 전송을 일정 시간 동안 지연시켜 주는 역할을 수행하며, 또한 백오프 알고리즘에 따른 소정의 횟수(예로, 16 번) 동안 전송이 실패할 경우에 하드웨어적인 회로 구성을 통해 프레임을 재전송시켜 주는 역할을 수행한다.
- <36> 그리고, 상기 충돌 제어 회로부(40)는 도 3에 도시한 바와 같이, 제1스위치(41)와, 제2스위치(42)와, 직렬/병렬 변환기(43)와, 1524(Byte)의 버퍼(44)와, 병렬/직렬 변환기(45)와, 버퍼 제어 회로부(46)와, 충돌 제어부(47)와, 수신 제어부(48)를 포함하여 이루어진다.
- <37> 상기 제1스위치(41)는 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)와 상기 이더넷 제어기(20)로부터 인가되는 송신 인에이블 신호(Transmit Enable Signal; TENA)에 따라 상기 이더넷 제어기(20)로부터 인가되는 송신 데이터(TXD)를 상기 제2스위치(42) 또는 상기 직렬/병렬 변환기(43)로 스위칭해 준다.
- <38> 또한, 상기 제1스위치(41)는 도 6에 도시된 바와 같이, 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)와 상기 이더넷 제어기(20)로부터 인가되는 송신 인에이블 신호(TENA)를 논리곱하는 제3앤드게이트(AND3)와, 해당 제3앤드게이트(AND3)에서 논리합한 신호에 따라 상기 이더넷 제어기(20)로부터 인가되는 송신 데이터(TXD)를 상기

제2스위치(42) 또는 상기 직렬/병렬 변환기(43)로 스위칭하는 스위치(41-1)를 포함하여 이루어진다.

- <39> 상기 제2스위치(42)는 상기 버퍼 제어 회로부(46)로부터 인가되는 세트 신호(SET)에 따라 상기 제1스위치(41)를 통해 인가되는 송신 데이터(TXD)를 LAN으로 스위칭해 주거나 상기 병렬/직렬 변환기(45)에서 변환시킨 직렬 데이터를 LAN으로 스위칭해 준다.
- <40> 상기 직렬/병렬 변환기(43)는 상기 제1스위치(41)를 통해 인가되는 송신 데이터(TXD)를 8(Bit)의 병렬 데이터로 변환시켜 상기 버퍼(44)에 인가해 준다.
- <41> 상기 버퍼(44)는 FIFO(First In First Out) 버퍼로서, 상기 버퍼 제어 회로부(46)로부터 인가되는 기록 제어 신호(/WE)에 의해 상기 직렬/병렬 변환기(43)에서 변환시킨 병렬 데이터를 저장하며, 상기 버퍼 제어 회로부(46)로부터 인가되는 판독 제어 신호(/OE)에 따라 저장된 병렬 데이터를 상기 병렬/직렬 변환기(45)에 인가하며, 메모리가 비어 있는 경우에 엠프티 신호(/EMPTY)를 상기 충돌 제어부(47)로 인가해 준다.
- <42> 상기 병렬/직렬 변환기(45)는 상기 버퍼(44)로부터 인가되는 병렬 데이터를 직렬 데이터로 변환시켜 상기 제2스위치(42)로 인가해 준다.
- <43> 상기 버퍼 제어 회로부(46)는 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)와 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1) 및 제1수신 인에이블 신호(Receive Enable Signal; RENA1)에 따라 미리 설정되어 있는 타이머의 세트 신호(SET)를 생성시켜 상기 제2스위치(42)에 인가해 주며, 상기 CPU(30)로부터 인가되는 프레임 완료 신호(Frame Success Signal; /SUC)와 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)에 따라 기록 제어 신호(/WE)를 생성시켜 상기 버퍼(44)에 인가해

주며, 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1) 및 제1수신 인에이블 신호(RENA1)와 해당 세트 신호(SET)에 따라 판독 제어 신호(/OE)를 생성시켜 상기 버퍼(44)에 인가해 준다.

<44> 또한, 상기 버퍼 제어 회로부(46)는 도 5에 도시된 바와 같이, 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1)와 제1수신 인에이블 신호(RENA1)를 논리합하고 해당 논리합한 신호를 반전시키는 노아게이트(NOR)와, 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)와 스타트 신호(START)에 따라 기설정되어 있는 일정 시간이 경과한 후에 세트 신호(SET)를 생성시켜 상기 제2스위치(42)에 인가하고 해당 노아게이트(NOR)에서 출력되는 신호에 의해 리셋(Reset)하는 타이머(46-1)와, 52( $\mu$ s)의 정수배만큼 지연시켜 스타트 신호(START)를 생성시켜 해당 타이머(46-1)에 인가시키고 상기 노아게이트(NOR)에서 출력되는 신호에 의해 리셋하는 딜레이 회로부(46-2)와, 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)를 반전시키는 제3낫게이트(NOT3)와, 해당 제2낫게이트(NOT2)에서 반전시킨 신호와 상기 CPU(30)로부터 인가되는 프레임 완료 신호(/SUC)를 논리합하여 기록 제어 신호(/WE)를 생성시켜 상기 버퍼(44)에 인가하는 제3오아게이트(OR3)와, 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1) 및 제1수신 인에이블 신호(RENA1)와 해당 타이머(46-1)로부터 인가되는 세트 신호(SET)를 논리합하여 판독 제어 신호(/OE)를 생성시켜 상기 버퍼(44)에 인가하는 제4오아게이트(OR4)를 포함하여 이루어진다.

<45> 상기 충돌 제어부(47)는 상기 CPU(30)로부터 인가되는 프레임 완료 신호(/SUC), 상기 버퍼(44)로부터 인가되는 엠프티 신호(/EMPTY) 및 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1)에 따라 충돌 제어 신호(MCOL)를 생성시켜 상기 제1스위치(41), 버

퍼 제어 회로부(46) 및 수신 제어부(48)에 인가해 주고 제2충돌 신호(CLSN2)를 생성시켜 상기 이더넷 제어기(20)에 인가해 준다.

<46> 또한, 상기 충돌 제어부(47)는 도 4에 도시된 바와 같이, 상기 충돌 제어 신호(MCOL)를 반전시키는 제1낫게이트(NOT1)와, 해당 제1낫게이트(NOT1)에서 반전시킨 신호와 상기 버퍼(44)로부터 인가되는 엠프티 신호(/EMPTY)를 논리합하는 제1오아게이트(OR1)와, 상기 충돌 제어 신호(MCOL)와 상기 CPU(30)로부터 인가되는 프레임 완료 신호(/SUC)를 논리합하는 제2오아게이트(OR2)와, 상기 코덱(50)으로부터 인가되는 제1충돌 신호(CLSN1)를 카운팅하고 해당 제1오아게이트(OR1)에서 논리합한 신호와 해당 제2오아게이트(OR2)에서 논리합한 신호에 따라 해당 카운팅한 값을 리셋하는 카운터(47-1)와, 해당 카운터(47-1)에서 카운팅한 값의 각 비트를 논리곱하는데, 즉 해당 카운터(47-1)에서 카운팅한 값이 소정의 횟수(예로, 15) 이상인 경우에 충돌 제어 신호(MCOL)를 생성시켜 상기 버퍼 제어 회로부(46)와 수신 제어부(48)에 인가하는 제1앤드게이트(AND1)와, 해당 제1앤드게이트(AND1)에서 생성된 충돌 제어 신호(MCOL)를 반전시키는 제2낫게이트(NOT2)와, 상기 코덱(50)으로부터 인가되는 제1충돌 신호(CLSN1)와 해당 제2낫게이트(NOT2)에서 반전시킨 신호를 논리곱하여 제2충돌 신호(CLSN2)를 생성시켜 상기 이더넷 제어기(20)로 인가하는 제2앤드게이트(AND2)를 포함하여 이루어진다.

<47> 상기 수신 제어부(48)는 상기 코덱(50)으로부터 인가되는 제1수신 인에이블 신호(RENA1)와 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)에 따라 제2수신 인에이블 신호(RENA2)를 생성시켜 상기 이더넷 제어기(20)에 인가해 준다.

<48> 또한, 상기 수신 제어부(48)는 도 6에 도시된 바와 같이, 상기 코덱(50)으로부터 인가되는 제1수신 인에이블 신호(RENA1)와 상기 충돌 제어부(47)로부터 인가되는 충돌

제어 신호(MCOL)를 논리합하여 제2수신 인에이블 신호(REN2)를 생성시켜 상기 이더넷 제어기(20)로 인가하는 제5오아케이트(OR5)를 포함하여 이루어진다.

- <49> 본 발명의 실시예에 따른 인터넷 정합 장치에서 재전송 제어 회로의 동작을 설명하면 다음과 같다.
- <50> 이더넷은 대부분은 송신과 수신을 동시에 수행할 수 없으며, 만약 송신과 수신이 동시에 감지되는 경우에 충돌이 발생하게 되고 이때 데이터를 다시 전송하게 되고 한 프레임에 대해 16 번까지 재전송할 수 있다.
- <51> 먼저, 이더넷 제어기(20)에서 데이터를 송신할 경우에 송신 인에이블 신호(TENA)를 '하이' 레벨로 충돌 제어 회로부(40)에 송신함과 동시에 한 프레임 단위로 데이터(TXD)를 해당 충돌 제어 회로부(40)에 송신하게 되는데, 해당 송신 데이터(TXD)의 크기는 프리앰블 바이트(Preamble Byte)까지 합쳐 최대 1524(Byte)이다.
- <52> 그리고, CPU(30)에서는 매 프레임마다 프레임의 전송을 완료했을 경우에 프레임 완료 신호(/SUC)를 '로우' 레벨로 생성시켜 상기 충돌 제어 회로부(40)에 인가하게 되며, 해당 프레임을 다시 보내기 시작하면 해당 프레임 완료 신호(/SUC)를 '하이' 레벨로 변환시켜 상기 충돌 제어 회로부(40)에 인가하게 되며, 이때 충돌이 발생하지 않거나 충돌이 발생하더라도 소정의 횟수(예로, 15 번) 미만으로 발생한 경우에는 정상적인 노말 경로(Normal Path)로 송신 데이터(TXD)의 송신이 이루어지도록 해 준다.
- <53> 그런 후, 송수신기(60)에서 LAN으로부터의 데이터를 수신하는 경우에 코덱(50)을 통해 '하이' 레벨의 제1수신 인에이블 신호(REN1)를 발생시켜 상기 충돌 제어 회로부

(40)로 인가하게 되며, 또한 LAN 충돌이 발생하는 경우에 해당 송수신기(60)에서 감지하고 해당 코텍(50)을 통해 '하이' 레벨의 제1충돌 신호(CLSN1)를 발생시켜 상기 충돌 제어 회로부(40)로 인가하게 된다.

<54> 이에, 상기 충돌 제어 회로부(40)에서는 상기 코텍(50)으로부터 인가되는 제1충돌 신호(CLSN1)가 15 번 미만으로 발생하거나 충돌이 발생하지 않는 경우에 상기 충돌 제어 회로부(40) 내에 구비되어 있는 제1스위치(41)를 통해서 정상적인 경로로 직접 상기 충돌 제어 회로부(40) 내에 구비되어 있는 제2스위치(42)를 통해서 송신 데이터(TXD)를 상기 코텍(50)으로 전달시켜 준다.

<55> 이 때, 상기 충돌 제어 회로부(40) 내에 구비되어 있는 충돌 제어부(47)에서는 도 4에 도시된 바와 같이 동작을 수행하게 된다.

<56> 즉, 상기 카운터(47-1)에서는 상기 코텍(50)으로부터 제1충돌 신호(CLSN1)를 인가 받고 해당 제1충돌 신호(CLSN1)를 인가받은 횟수를 카운팅하고 해당 카운팅한 값을 해당 충돌 제어부(47) 내에 구비되어 있는 제1앤드게이트(AND1)에 인가하는데, 해당 카운팅 한 값이 '15'가 되면 '1111'의 신호를 생성시켜 제1앤드게이트(AND1)에 인가한다. 그리고, 해당 제1앤드게이트(AND1)는 해당 카운터(47-1)로부터 인가되는 카운팅 값을 논리곱 하는데, 해당 카운터(47-1)로부터 '1111'의 신호를 인가받아 충돌 제어 신호(MCOL)를 생성시켜 해당 충돌 제어부(47) 내에 구비되어 있는 제1낫게이트(NOT1), 제2오아게이트(OR2) 및 제2낫게이트(NOT2)와, 상기 충돌 제어 회로부(40) 내에 구비되어 있는 제1스위치(41), 버퍼 제어 회로부(46) 및 수신 제어부(48)에 인가해 준다.

<57> 이에, 상기 제2낫게이트(NOT2)는 상기 제1앤드게이트(AND1)로부터 인가되는 충돌 제어 신호(MCOL)를 반전시켜 상기 충돌 제어부(47) 내에 구비되어 있는 제2앤드게이트

(AND2)에 인가해 주며, 해당 제2앤드게이트(AND2)는 상기 코렉(50)으로부터 인가되는 제1충돌 신호(CLSN1)와 상기 제1낫게이트(NOT1)에서 반전시킨 신호를 논리곱하여 제2충돌 신호(CLSN2)를 생성시켜 상기 이더넷 제어기(20)로 인가해 주게 된다.

<58> 한편, 상기 제2오아게이트(OR2)는 상기 제1앤드게이트(AND1)로부터 인가되는 충돌 제어 신호(MCOL)와 상기 CPU(30)로부터 인가되는 프레임 완료 신호(/SUC)를 논리합시켜 상기 카운터(47-1)에 인가해 주는데, 이때 상기 카운터(47-1)는 상기 제2오아게이트(OR2)에서 논리합한 신호를 인가받아 상기 카운팅한 값을 리셋시켜 주는데, 예로 상기 카운팅한 값을 '0000'으로 변환시켜 준다. 즉, 매 프레임 완료 시마다 상기 CPU(30)에서 프레임 완료 신호(/SUC)를 '로우' 레벨로 생성시켜 줌으로써 상기 카운터(47-1)는 리셋된다.

<59> 그런데, 상기 15 번의 충돌로 인하여 상기 제1앤드게이트(AND1)에서 충돌 제어 신호(MCOL)를 '하이' 레벨로 생성시키면 상기 CPU(30)에서 프레임 완료 신호(/SUC)를 '로우' 레벨로 생성시켜 주지만 리셋이 되지 않으며, 상기 충돌 제어 회로부(40) 내에 구비되어 있는 버퍼(44)로부터 인가되는 엠프티 신호(/EMPTY)에 의해서 상기 카운터(47-1)가 리셋된다.

<60> 즉, 상기 제1낫게이트(NOT1)에서는 상기 제1앤드게이트(AND1)로부터 인가되는 충돌 제어 신호(MCOL)를 반전시켜 해당 충돌 제어부(47) 내에 구비되어 있는 제1오아게이트(OR1)에 인가하면, 해당 제1오아게이트(OR1)는 해당 제1낫게이트(NOT1)에서 반전시킨 신호와 상기 버퍼(44)로부터 인가되는 엠프티 신호(/EMPTY)를 논리합시켜 상기 카운터(47-1)에 인가해 줌으로써 상기 카운터(47-1)의 리셋이 가능하다.

<61> 이에 따라, 상기 제1스위치(41)는 상기 충돌 제어부(47)로부터 충돌 제어 신호

(MCOL)를 인가받아 상기 송신 데이터(TXD)를 상기 충돌 제어 회로부(40) 내에 구비되어 있는 직렬/병렬 변환기(43)로 스위칭시켜 준다.

<62> 다시 말해서, 도 6에 도시된 바와 같이, 상기 제1스위치(41) 내에 구비되어 있는 제3엔드게이트(AND3)에서 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)와 상기 이더넷 제어기(20)로부터 인가되는 송신 인에이블 신호(TENA)를 논리곱시켜 상기 제1스위치(41) 내에 구비되어 있는 하는 스위치(41-1)에 인가해 주면, 해당 스위치(41-1)는 해당 제3엔드게이트(AND3)에서 논리합한 신호에 따라 상기 이더넷 제어기(20)로부터 인가되는 송신 데이터(TXD)를 상기 제2스위치(42) 또는 상기 직렬/병렬 변환기(43)로 스위칭해 준다.

<63> 그리고, 상기 버퍼 제어 회로부(46)에서는 도 5에 도시된 바와 같이 동작을 수행하게 된다.

<64> 즉, 상기 버퍼 제어 회로부(46) 내에 구비되어 있는 노아게이트(NOR)는 상기 코넥(50)으로부터 인가되는 제1충돌 신호(CLSN1)와 제1수신 인에이블 신호(RENA1)를 논리합하고 해당 논리합한 신호를 반전시켜 상기 버퍼 제어 회로부(46) 내에 구비되어 있는 타이머(46-1)의 리셋 단자(/RESET)와 52( $\mu$ s)의 정수배 딜레이 회로부(46-2)에 인가해 준다.

<65> 이에, 상기 딜레이 회로부(46-2)는 상기 노아게이트(NOR)에서 출력되는 신호에 의해 리셋되어지며, 52( $\mu$ s)의 정수배(해당 정수는 임의로 정할 수 있다)만큼 지연시켜 스타트 신호(START)를 생성하여 상기 타이머(46-1)에 인가시켜 준다.

<66> 상기 타이머(46-1)는 상기 노아게이트(NOR)에서 출력되는 신호에 의해 리셋되어지

며, 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)에 따라 정상 동작을 수행하게 되며, 상기 딜레이 회로부(46-2)로부터 스타트 신호(START)를 인가받아 기설정되어 있는 타이머 값의 시간이 경과한 후에 세트 신호(SET)를 생성시켜 상기 제2스위치(42)에 인가시켜 준다.

<67> 그리고, 상기 버퍼 제어 회로부(46) 내에 구비되어 있는 제3낫게이트(NOT3)는 상기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)를 반전시켜 해당 제1오아게이트(OR1)에 인가한다. 이에, 해당 제1오아게이트(OR1)는 상기 CPU(30)로부터 인가되는 프레임 완료 신호(/SUC)와 해당 제3낫게이트(NOT3)에서 반전시킨 신호를 논리합하여 기록 제어 신호(/WE)를 생성시켜 상기 충돌 제어 회로부(40) 내에 구비되어 있는 버퍼(44)에 인가한다.

<68> 또한, 상기 버퍼 제어 회로부(46) 내에 구비되어 있는 제2오아게이트(OR2)는 상기 코덱(50)으로부터 인가되는 제1충돌 신호(CLSN1) 및 제1수신 인에이블 신호(RENA1)와 상기 타이머(46-1)로부터 인가되는 세트 신호(SET)를 논리합하여 판독 제어 신호(/OE)를 생성시켜 상기 버퍼(44)에 인가한다.

<69> 그러면, 상기 직렬/병렬 변환기(43)는 상기 제1스위치(41)를 통해 인가되는 송신 데이터(TXD)를 8(Bit)의 병렬 데이터로 변환시켜 상기 버퍼(44)로 인가해 주게 된다.

<70> 이에, 상기 버퍼(44)는 상기 버퍼 제어 회로부(46)로부터 인가되는 기록 제어 신호(/WE)에 따라 상기 직렬/병렬 변환기(43)로부터 병렬 데이터를 인가받아 저장하며, 상기 버퍼 제어 회로부(46)로부터 인가되는 판독 제어 신호(/OE)에 따라 저장하고 있던 병렬 데이터를 판독하여 상기 충돌 제어 회로부(40) 내에 구비되어 있는 병렬/직렬 변환기(45)에 인가시켜 준다.

- <71> 이에 따라, 상기 병렬/직렬 변환기(45)는 상기 버퍼(44)로부터 인가되는 병렬 데이  
터를 직렬 데이터로 변환시켜 상기 제2스위치(42)로 인가해 준다.
- <72> 그리고, 상기 제2스위치(42)는 상기 버퍼 제어 회로부(46)로부터 인가되는 세트 신  
호(SET)에 따라 상기 코덱(50) 측으로 송신해 주는데, 해당 세트 신호(SET)가 '하이' 레  
벨이면 상기 제1스위치(41)로부터 인가되는 송신 데이터(TXD)를 상기 코덱(50) 측으로  
송신해 주며, 해당 세트 신호(SET)가 '로우' 레벨이면 상기 병렬/직렬 변환기(45)로부터  
인가되는 직렬 데이터를 상기 코덱(50) 측으로 송신해 준다.
- <73> 한편, 상기 충돌 제어 회로부(40) 내에 구비되어 있는 수신 제어부(48)에서는 도 6  
에 도시된 바와 같이 동작을 수행하는데, 해당 수신 제어부(48) 내에 구비되어 있는 제3  
오아게이트(OR3)는 상기 코덱(50)으로부터 인가되는 제1수신 인에이블 신호(RENA1)와 상  
기 충돌 제어부(47)로부터 인가되는 충돌 제어 신호(MCOL)를 논리합하여 제2수신 인에이  
블 신호(RENA2)를 생성시켜 상기 이더넷 제어기(20)로 인가해 주게 된다.
- <74> 상술한 바와 같은 동작을 간략하게 다시 설명하면, 15 번 이상 제1충돌 신호  
(CLSN1)가 발생하게 되는 경우에 상기 충돌 제어부(47)에서 충돌 제어 신호(MCOL)를 어  
설트(Assert)시켜 상기 버퍼 제어 회로부(46)의 제어에 따라 상기 직렬/병렬 변환기(43)  
로 경로가 연결되며, 송신 데이터(TXD)가 상기 버퍼(44)에 저장되고 상기 병렬/직렬 변  
환기(45)를 통해 상기 제2스위치(42)를 거쳐 재전송되어진다.
- <75> 그리고, 상기 충돌 제어 신호(MCOL)가 어설트되었을 때에는 해당 충돌 제어 신호  
(MCOL)가 외부에서 들어오는 충돌 신호를 막아줌으로써, 프레임을 상기 버퍼(44)에 저장  
하고 상기 CPU(30)에서는 정상적인 프레임 완료 신호(/SUC)를 송출하게 된다. 그러나,  
실제는 해당 프레임이 상기 버퍼(44)에 저장되어 있고 52( $\mu$ s)의 정수배와 세트 신호

(SET)에 따라 지연된 후에 재전송하게 된다.

<76> 이에, 상기 CPU(30)에서 프레임 완료 신호(/SUC)를 송출하였으므로, 다음의 프레임을 준비하게 되지만 상기 버퍼(44) 내에 저장된 프레임이 전송될 때까지 상기 수신 제어부(48)에서 상기 제2수신 인에이블 신호(RENA2)를 강제로 상기 이더넷 제어기(20)로 인가해 다음 프레임의 전송을 막아주는데, 그 이유는 이더넷에서는 수신할 때에는 송신하지 못하기 때문이다.

<77> 그리고, 상기 버퍼(44) 내에 저장된 한 프레임은 상기 버퍼 제어 회로부(46)의 판독 제어 신호(/OE)에 따라 출력이 결정되고 상기 버퍼(44) 내에 저장되어 있던 데이터를 모두 전송하고 비었을 경우에 엠프티 신호(/EMPTY)를 '로우' 레벨로 만들어 상기 충돌 제어부(47)에 인가해 주며, 상기 제1충돌 신호(CLSN1)와 제1수신 인에이블 신호(RENA1)가 인가되면 다시 상기 버퍼 제어 회로부(46)의 타이머(46-1)를 리셋시켜 52( $\mu$ s)의 정수 배만큼 지연 후에 다시 전송하게 된다. 이렇게 하여, 충돌이 16 번 발생되어 송신 에러를 발생할 수 있는 위험을 조절할 수 있는데, 상기 버퍼(44)에 저장하고 지연시켜 줌에 따라 망의 폭주 순간을 피할 수 있게 되고 또한, 충돌에 따른 송신 에러로 재전송을 소프트웨어적인 방법이 아니라 하드웨어적인 회로를 이용하여 속도를 향상시킬 수 있다.

<78> 부가적으로 더 설명하면, 상기 제1스위치(41)와 제2스위치(42)는 각각 상기 충돌 제어 신호(MCOL)와 세트 신호(SET)에 따라 경로가 결정되는데, 상기 충돌 제어 신호(MCOL)가 어설트되었을 때에 상기 직렬/병렬 변환기(43)로 데이터가 인가되고 상기 세트 신호(SET)에 의해 상기 제2스위치(42)의 경로가 상기 병렬/직렬 변환기(45)가 아닌 노말 경로로 연결되어진다.

<79> 그리고, 상기 제2수신 인에이블 신호(RENA2)는 충돌로 인한 상기 직렬/병렬 변환기

(43)의 경로에 연결된 경우에 상기 충돌 제어 신호(MCOL)가 '로우'레벨이 될 때까지 '하이'레벨로 유지되어 상기 버퍼(44) 측의 전송 없이 다른 프레임의 전송을 막아 주게 된다. 또한, 정상적인 수신의 경우에도 상기 제1수신 인에이블 신호(RENA1)가 어설트되므로 이미 어설트되어 있는 제2수신 인에이블 신호(RENA2)에 의해 그대로 수신 데이터(RXD)만 수신하게 되어 정상적인 수신에 영향을 주지 않으며, 상기 충돌 제어 신호(MCOL)에 따라 원래의 제1수신 인에이블 신호(RENA1)에 연결되어진다.

<80> 그리고, 상기 타이머(46-1)와 딜레이 회로부(46-2)는 상기 제1충돌 신호(CLSN1)와 제1수신 인에이블 신호(RENA1)에 의해 리셋되어진다.

### 【발명의 효과】

<81> 이상과 같이, 종래의 인터넷 정합 장치에 비해 본 발명은 서비스(Service) 중인 LAN 인터페이스에서 망 트래픽이 많은 경우에 전송을 지연시켜 백오프 알고리즘 상의 16 번 충돌에 의한 전송 실패율을 감소시킬 수 있으며, 만약 16 번의 충돌이 발생한 경우에 이로 인한 재전송을 하드웨어 회로를 통해서 구현시켜 줌으로써 소프트웨어적인 방법에 비해 시간을 감소시켜 속도가 향상되어 시스템의 성능을 향상할 수 있다.

**【특허청구범위】****【청구항 1】**

이더넷을 사용한 인터넷 정합에 관한 동작을 제어하는 이더넷 제어기와, 송수신되는 데이터를 부호화 또는 복호화하는 코덱과, 데이터를 송수신하는 송수신기를 구비하는 인터넷 정합 장치에 있어서,

LAN 충돌 및 데이터의 재전송을 제어하는 CPU와;

상기 CPU의 제어에 따라 다수의 LAN 충돌이 발생하는 경우에 상기 이더넷 제어기와 코덱 사이에서 데이터 전송을 일정 시간 동안 지연시키고 백오프 알고리즘에 따른 소정의 횟수 동안 전송이 실패하는 경우에 프레임을 재전송시키는 충돌 제어 회로부를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

**【청구항 2】**

제1항에 있어서,

상기 충돌 제어 회로부는 충돌 제어 신호와 상기 코덱으로부터 인가되는 제1수신 인에이블 신호에 따라 제2수신 인에이블 신호를 생성시켜 상기 이더넷 제어기에 인가하는 수신 제어부와;

엠프티 신호, 상기 CPU로부터 인가되는 프레임 완료 신호 및 상기 코덱으로부터 인가되는 제1충돌 신호에 따라 상기 충돌 제어 신호를 생성시키고 제2충돌 신호를 생성시켜 상기 이더넷 제어기에 인가하는 충돌 제어부와;

상기 CPU로부터 인가되는 프레임 완료 신호와, 상기 충돌 제어부로부터 인가되는

충돌 제어 신호와, 상기 코덱으로부터 인가되는 제1충돌 신호 및 제1수신 인에이블 신호에 따라 세트 신호, 기록 제어 신호 및 판독 제어 신호를 생성시키는 버퍼 제어 회로부와;

상기 이더넷 제어기로부터 인가되는 송신 인에이블 신호와 상기 충돌 제어부로부터 인가되는 충돌 제어 신호에 따라 상기 이더넷 제어기로부터 인가되는 송신 데이터를 스위칭하는 제1스위치와;

상기 제1스위치에서 스위칭된 송신 데이터를 병렬 데이터로 변환하는 직렬/병렬 변환기와;

상기 버퍼 제어 회로부로부터 인가되는 기록 제어 신호에 의해 상기 직렬/병렬 변환기에서 변환시킨 병렬 데이터를 저장하며, 상기 버퍼 제어 회로부로부터 인가되는 판독 제어 신호에 따라 해당 병렬 데이터를 출력하는 버퍼와;

상기 버퍼로부터 인가되는 병렬 데이터를 직렬 데이터로 변환하는 병렬/직렬 변환기와;

상기 버퍼 제어 회로부로부터 인가되는 세트 신호에 따라 상기 제1스위치에서 스위칭된 송신 데이터 또는 상기 병렬/직렬 변환기에서 변환된 직렬 데이터를 LAN으로 스위칭하는 제2스위치를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

### 【청구항 3】

제2항에 있어서,

상기 수신 제어부는 상기 코덱으로부터 인가되는 제1수신 인에이블 신호와 상기 충돌 제어부로부터 인가되는 충돌 제어 신호를 논리합하여 제2수신 인에이블 신호를 생성시켜 상기 이더넷 제어기로 인가하는 제3오아게이트를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

#### 【청구항 4】

제2항에 있어서,

상기 충돌 제어부는 상기 충돌 제어 신호를 반전하는 제1낫게이트와;

상기 제1낫게이트에서 반전시킨 신호와 상기 버퍼로부터 인가되는 엠프티 신호를 논리합하는 제1오아게이트와;

상기 충돌 제어 신호와 상기 CPU로부터 인가되는 프레임 완료 신호를 논리합하는 제2오아게이트와;

상기 코덱으로부터 인가되는 제1충돌 신호를 카운팅하고 상기 제1오아게이트와 제2오아게이트에서 논리합한 신호에 따라 해당 카운팅한 값을 리셋하는 카운터와;

상기 카운터에서 카운팅한 값이 소정의 횟수 이상일 때에 충돌 제어 신호를 생성하는 제1앤드게이트와;

상기 제1앤드게이트에서 생성된 충돌 제어 신호를 반전하는 제2낫게이트와;

상기 코덱으로부터 인가되는 제1충돌 신호와 상기 제2낫게이트에서 반전시킨 신호를 논리곱하여 제2충돌 신호를 생성시켜 상기 이더넷 제어기로 인가하는 제2앤드게이트

를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

### 【청구항 5】

제2항에 있어서,

상기 버퍼 제어 회로부는 상기 코렉으로부터 인가되는 제1충돌 신호와 제1수신 인에이블 신호를 논리합하여 반전시키는 노아게이트와;

소정 시간만큼 지연시켜 스타트 신호를 생성하고 상기 노아게이트에서 출력되는 신호에 의해 리셋하는 딜레이 회로부와;

상기 충돌 제어부로부터 인가되는 충돌 제어 신호와 상기 딜레이 회로부로부터 인가되는 스타트 신호에 따라 세트 신호를 생성시켜 상기 제2스위치에 인가하며, 상기 노아게이트에서 출력되는 신호에 의해 리셋하는 타이머와;

상기 충돌 제어부로부터 인가되는 충돌 제어 신호를 반전하는 제3낫게이트와;

상기 CPU로부터 인가되는 프레임 완료 신호와 상기 제3낫게이트에서 반전시킨 신호를 논리합하여 기록 제어 신호를 생성시켜 상기 버퍼에 인가하는 제1오아게이트와;

상기 코렉으로부터 인가되는 제1충돌 신호 및 제1수신 인에이블 신호와 상기 타이머로부터 인가되는 세트 신호를 논리합하여 판독 제어 신호를 생성시켜 상기 버퍼에 인가하는 제2오아게이트를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

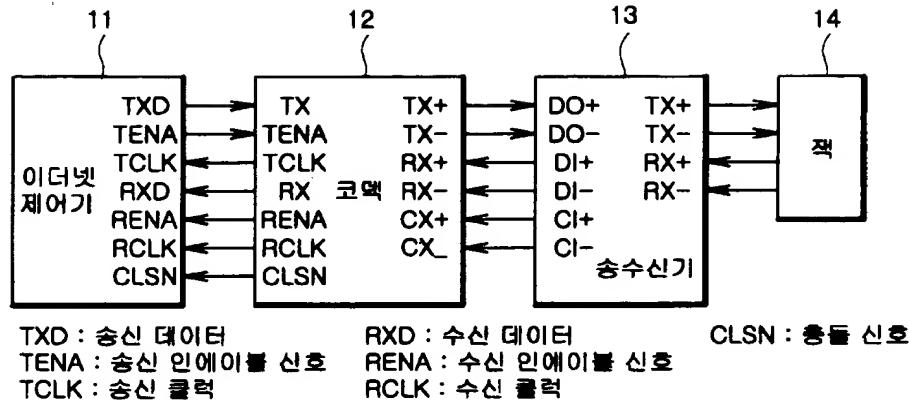
**【청구항 6】**

제2항에 있어서,

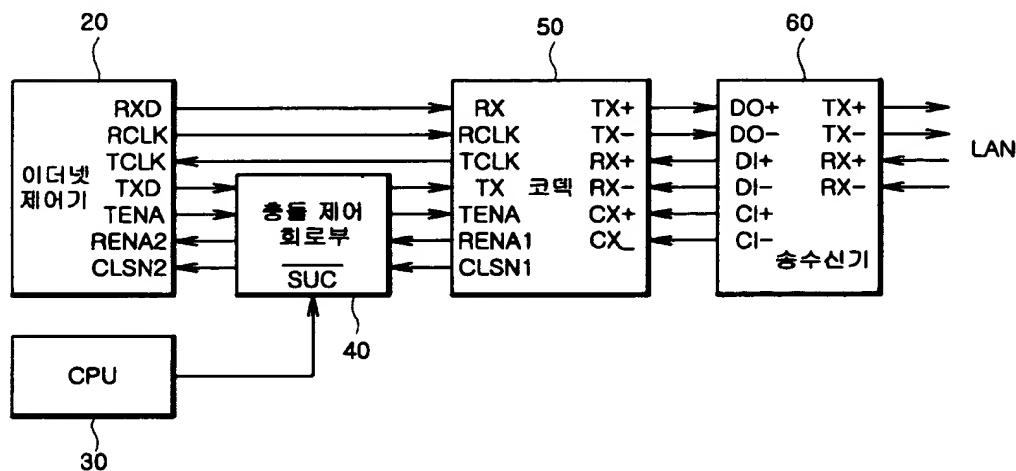
상기 제1스위치는 상기 충돌 제어부로부터 인가되는 충돌 제어 신호와 상기 이더넷 제어기로부터 인가되는 송신 인에이블 신호를 논리곱하는 제3엔드게이트와;  
상기 제3엔드게이트에서 논리합한 신호에 따라 상기 이더넷 제어기로부터 인가되는 송신 데이터를 상기 제2스위치 또는 상기 직렬/병렬 변환기로 스위칭하는 스위치를 포함하여 이루어진 것을 특징으로 하는 인터넷 정합 장치에서 재전송 제어 회로.

## 【도면】

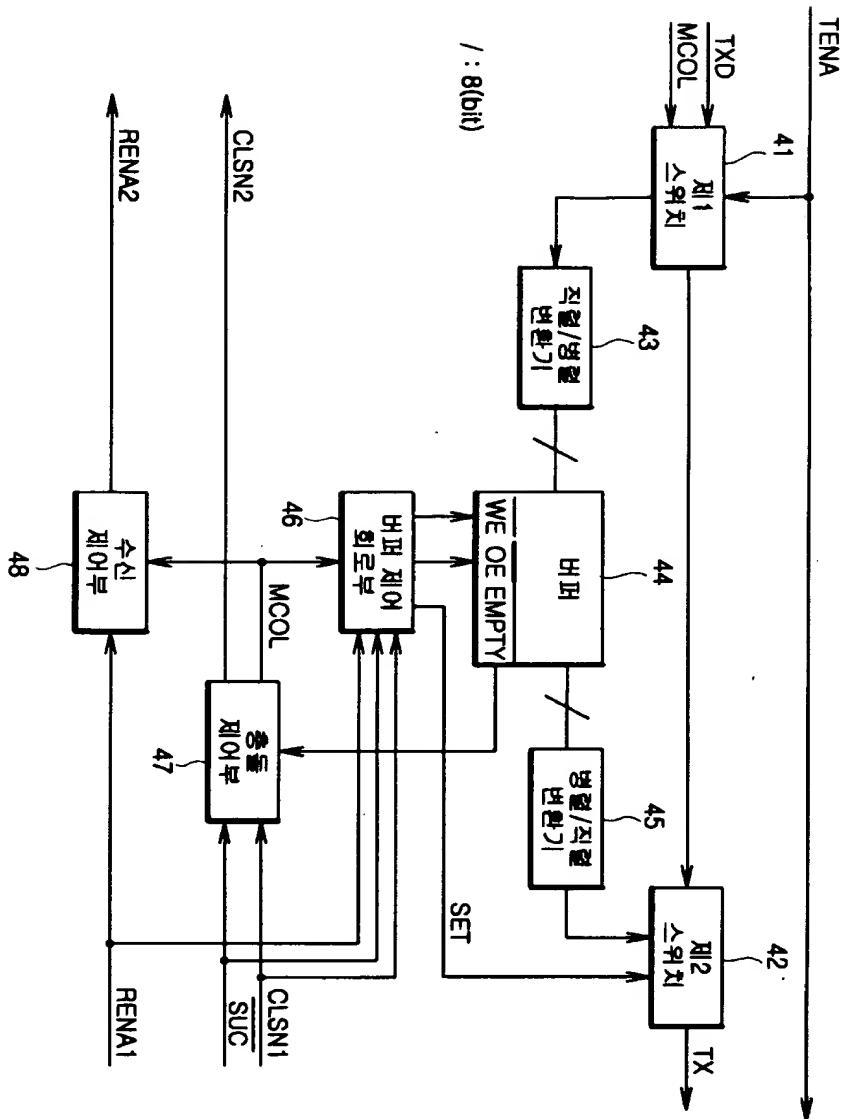
【도 1】



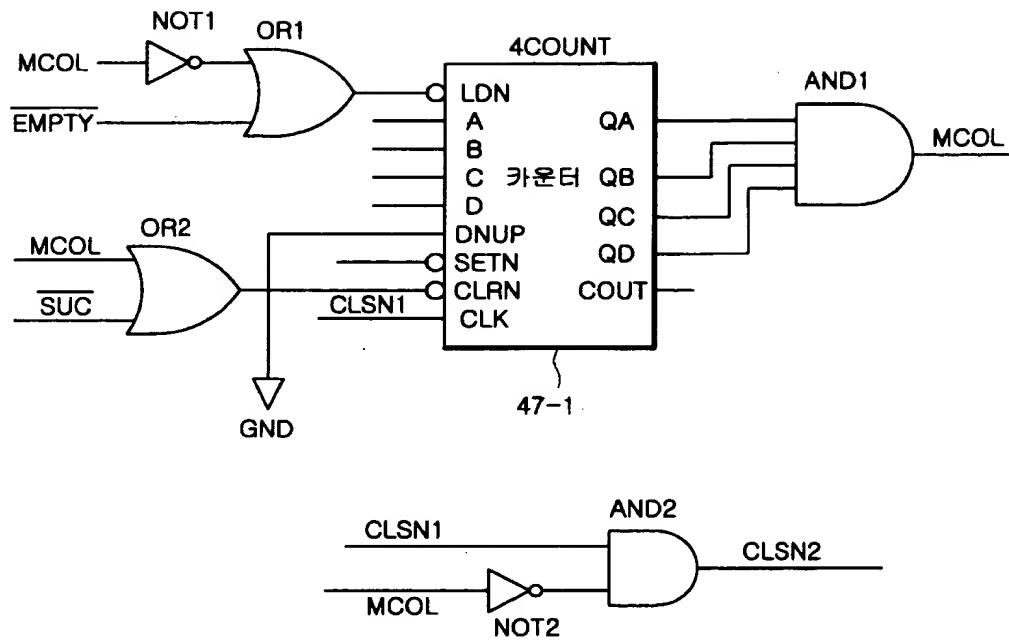
【도 2】



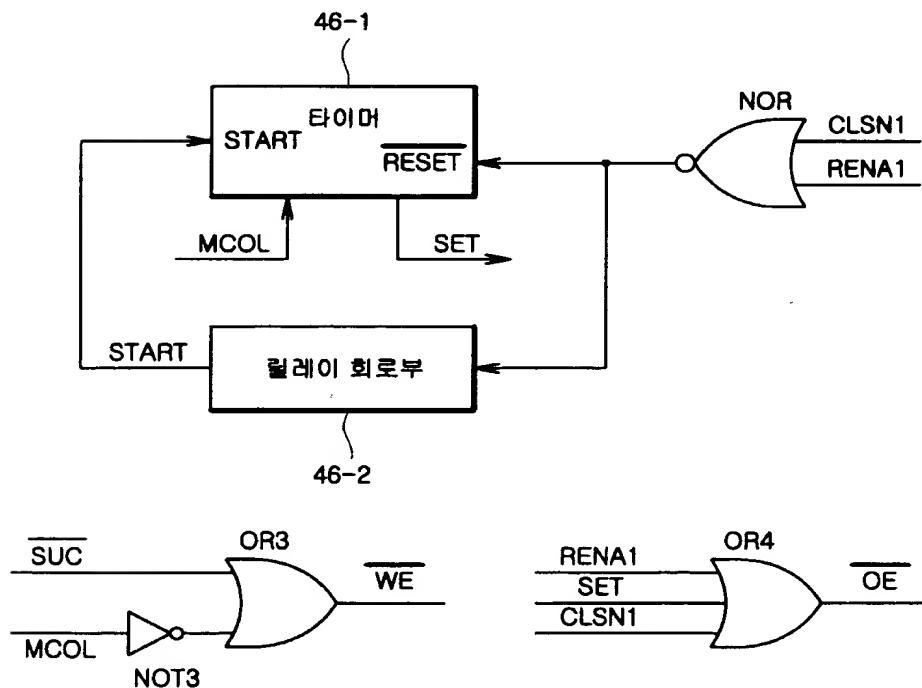
【도 3】



【도 4】



【도 5】



【도 6】

